

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年6月23日 (23.06.2005)

PCT

(10) 国際公開番号  
WO 2005/057840 A1

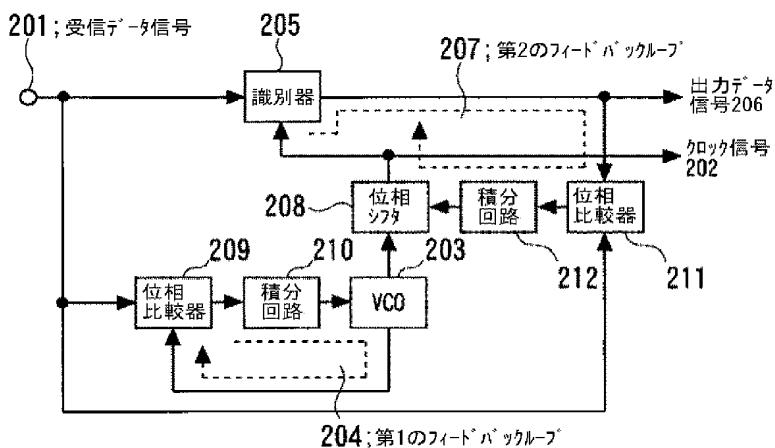
(51) 国際特許分類<sup>7</sup>: H04L 7/033, H03L 7/08  
 (21) 国際出願番号: PCT/JP2004/017573  
 (22) 国際出願日: 2004年11月26日 (26.11.2004)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (30) 優先権データ:  
 特願2003-409204 2003年12月8日 (08.12.2003) JP  
 (71) 出願人(米国を除く全ての指定国について): 日本電気  
 株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001  
 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者: および  
 (75) 発明者/出願人(米国についてのみ): 和田茂己 (WADA, Shigeki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
 (74) 代理人: 加藤朝道 (KATO, Asamichi); 〒2220033 神奈川県横浜市港北区新横浜3丁目20番12号望星ビル7階 加藤内外特許事務所内 Kanagawa (JP).  
 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: CLOCK DATA REPRODUCTION CIRCUIT

(54) 発明の名称: クロックデータ再生回路



201...RECEPTION DATA SIGNAL  
 205...IDENTIFIER  
 207...SECOND FEEDBACK LOOP  
 206...OUTPUT DATA SIGNAL  
 202...CLOCK SIGNAL  
 208...PHASE SHIFTER  
 212...INTEGRATION CIRCUIT  
 211...PHASE COMPARATOR  
 209...PHASE COMPARATOR  
 210...INTEGRATION CIRCUIT  
 204...FIRST FEEDBACK LOOP

(57) Abstract: There is provided a clock data reproduction circuit capable of improving the following speed following the reception data signal fluctuation and the clock quality as well as automatically performing adjustment to an optimal identification phase. The clock data reproduction circuit includes: a first feedback loop (204) having a phase comparator (209) for inputting clock from a VCO (203) and a reception data signal and detecting a phase difference, an integration circuit (210), and the VCO (203); and a second feedback loop (207) having an identifier (205) for inputting a reception data signal (201), a phase comparator (211) for inputting the output from the identifier (205) and the reception data signal (201) and detecting a phase difference, an integration circuit (212), and a phase shifter (208) for inputting the clock outputted from the VCO (203), shifting the phase according to the integration output of the integration circuit (212) when outputting it.

WO 2005/057840 A1

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

- 國際調査報告書
- 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 受信データ信号の揺らぎや変動に対する追従速度とクロック品質を改善し、さらに最適な識別位相に自動調整可能としたクロックデータ再生回路の提供。 VCO203からのクロックと受信データ信号を入力して位相差を検出する位相比較器209と、積分回路210と、VCO203よりなる第1のフィードバックループ204と、受信データ信号201を入力する識別器205と、識別器205の出力と受信データ信号201を入力して位相差を検出する位相比較器211と、積分回路212と、VCO203から出力されるクロックを入力し積分回路212の積分出力に応じて位相をシフトして出力する位相シフタ208よりなる第2のフィードバックループ207を有する。

## 明 細 書

## クロックデータ再生回路

## 技術分野

[0001] 本発明は、データ信号より識別用クロックを再生し入力データ信号を識別・再生するクロックデータ再生回路に関する。

## 背景技術

[0002] この種の従来のクロックデータ再生回路について以下に説明する。図8は、後記非特許文献1に開示されているクロックデータ再生回路の構成を示す図である。図8を参照すると、このクロックデータ再生回路は、2つの入力信号の位相を比較し、比較結果を出力する位相比較器(Phase Detector)602と、位相比較結果信号を積分する積分回路603と、積分回路603からの出力電圧に基づき発振周波数を可変させる電圧制御発振器(Voltage Controlled Oscillator;「VCO」と略記する)604を備え、これらは、フィードバックループ(帰還閉路)601を構成している。積分回路603は、低域通過フィルタ(Low-passフィルタ)より構成され、あるいは「ループフィルタ回路」ともいい、「LPF」とも略記される。

[0003] VCO604からの出力信号は、位相比較器602の一の入力端に帰還入力され、位相比較器602の他の入力端には、入力データ信号(Data In)が入力される。

[0004] クロックデータ再生回路には、入力データ信号の識別再生のために識別器605が設けられている。識別器605は、例えばD型フリップフロップ(エッジトリガー型レジスタ)より構成され、データ入力端に入力される入力データ信号(Data In)をクロック入力端に入力される識別用クロック信号の立ち上がり又は立ち下がりエッジに応じてサンプルしサンプルした結果を出力データ信号(Data Out)としてデータ出力端から出力する。識別器605は、「D-FF」、「Retimer」(リタイマー)、あるいは「Decision回路」(判定回路)ともいう。識別器605のクロック入力端には、VCO604からの出力クロック信号(Clock Out;識別用クロック)が入力され、VCO604からの出力クロック信号で同期がとられる。積分回路603は、伝送データ信号のクロック周期に対して、十分長い時定数を持つ構成とされている。

[0005] 図8に示した従来のクロックデータ再生回路の動作について以下に説明する。

[0006] 図9は、図8の位相比較器602の位相比較特性を示す図である。図9において、横軸は位相差、縦軸は位相比較器の出力である。伝送データ信号のクロック周期を $2\pi$ として、入力データ信号(Data In)と、VCO604の出力である識別用クロック(Clock Out)の位相差 $\phi$ が、

- − $\pi < \phi < 0$ である時は、位相比較器602は、負値の出力を出力する。
- $0 < \phi < \pi$ である時は、位相比較器602は、正値の出力を出力する。

一方、位相比較器602の2つの入力端に入力される2つの信号に位相差が無い時( $\phi = 0$ )は、位相比較器602の出力は零となる。

[0007] VCO604は、位相比較器602の出力からのフィードバックを受け、 $-\pi/2 < \phi < \pi/2$ の範囲で、位相差 $\phi$ が零となる方向に、発振周波数を可変させ、やがて、位相差 $\phi = 0$ となり、同期をとることができる。

[0008] 図10(a)乃至図10(c)は、この時の様子をタイミングチャートにて示したものである。図10(a)は、識別用クロック(=VCO604の出力クロック)の位相が進んでいる場合のものであり、位相比較器602は、入力データ信号の変化点と、識別用クロックの立ち下がりのタイミング位相を比較し、位相差に応じた負の値を出力する。積分回路603は、伝送データ信号の周期に対して十分大きな時定数で、位相比較器602の出力を積分し、出力がロウレベルへ徐々に遷移していく。積分回路603の出力は、VCO604の制御電圧として入力され、発振周波数を低下させる。このようなフィードバック構成により、入力データの変化点と識別用クロックの立ち下がりタイミングが一致する方向に位相差 $\phi$ が減少していく。

[0009] 一方、図10(b)は、識別用クロック(=VCO604の出力クロック)の位相が遅れている場合のタイミングチャートを示している。前記と同様に、位相比較器602は正の値を出力し、積分回路603の出力は徐々にハイレベルへ遷移していく。これにより、VCO604の発振周波数は高くなり、入力データの変化点と、識別用クロックの立ち下がりタイミングが一致する方向に、位相差 $\phi$ が減少していく。

[0010] 図10(c)は、入力データ信号の変化点と識別用クロックの立ち下がりタイミングが一致した同期状態でのタイミングチャートを示している。この場合、位相比較器602及

び積分回路603とも零出力となり、VCO604の発振周波数は固定される。このため、入力データ信号の変化点と識別用クロックの立ち下がりは常に一致した状態で維持される。

- [0011] 以上のように、従来のクロックデータ再生回路は、入力データ信号の変化点と、識別用クロックの立ち下がりが一致する同期状態に収束する。このため、入力データ信号(Data In)に同期したクロック信号(Clock Out)を再生することができる。
- [0012] また、識別器605においては、再生されたクロック信号(Clock Out)を用いることで、最適な識別位相で、データ信号を識別、再生できる。
- [0013] 図11は、後記特許文献1に開示されているクロックデータ再生回路の構成を示す図である。以下、図11を参照して、従来のクロックデータ再生回路について説明する。クロック抽出手段901は、伝送データ信号から変化点信号を抽出するためのものである。位相同期手段902では、変化点信号を基に、電圧制御発振器(VCO)909の発振周波数を伝送データ信号に同期させる。クロック遅延手段903は、伝送データ信号と可変遅延回路912の出力クロックを位相比較器910にて位相比較し、ある一定時間だけクロックを遅延させる。
- [0014] 識別器904では、伝送データ信号をクロック遅延手段903から供給されるクロックにてデータ識別、再生している。かかる構成により、伝送データ信号の変化点に対して、ある一定時間だけクロックを自動的に遅延することが可能となっている。
- [0015] なお、データ入力信号(DATA IN)に位相同期したクロック信号として、VCO発振信号を出力する位相同期ループ回路と、データ入力信号に対してクロック信号を出力する位相シフト回路と、リタイミングされた識別再生信号をリタイミングデータとして出力する識別再生機能を備えデータ信号(DATA OUT)を出力するリタイミング回路と、位相同期ループ回路が生成する抽出クロックが位相シフト回路を介してデータラッチ回路に入力されるデータ入力信号を用いて信号レベルのラッチを行って位相情報をおのの生成する位相シフト制御回路と、を備えた位相同期装置が知られている(例えば特許文献2参照)。後述される本発明は、この特許文献2に記載される構成と、例えば位相シフトの制御、構成が相違している。一例として、後に詳細に説明されるように本発明の一つの側面によれば、識別器(出力クロック信号で受信デ

タをサンプル)からの出力データ信号(DATA OUT)と入力データ信号(DATA IN)の位相差を位相比較回路で比較し、位相比較結果に基づき、VCO発振信号の位相をシフトさせている。一方、特許文献2に記載される構成では、位相シフト制御回路は、入力データ信号(DATA IN)を出力クロック信号でラッチするラッチ出力の値に基づき位相シフト回路の位相を制御している。

[0016] 非特許文献1:「デザイン オブ インテグレーテッド・サーキット フォア オプチカル コミュニケーションズ」("Design of Integrated Circuits for Optical Communications")、ISBN0-07-282258-9、第297頁

特許文献1:特開2000-228660号公報(第6頁、第6図)

特許文献2:特開2000-216763号公報(第5、6頁、第1図)

## 発明の開示

### 発明が解決しようとする課題

[0017] 上記した従来のクロックデータ再生回路では、伝送データ信号に含まれる同符号連続信号に対処するため、積分回路の時定数を、伝送データ信号の周期に対して、十分大きくとる必要がある。すなわち、伝送データ信号の変化点が無い状態でも、VCOの発振周波数が変化しないように、積分回路の応答時間(時定数)を十分長くとり、VCOに供給するクロック制御電圧を安定化させることが必要とされている。

[0018] しかしながら、このような構成では、図12(a)に示すように、データの変動に対する積分回路の出力(VCO制御信号)の応答時間が長いため、図12(b)示すように、伝送データ信号の揺らぎや変動に対して、クロックデータ再生回路が素早く追従せず、正確なクロックとデータ再生を再び出力し始めるまでの時間が長くなる、という問題がある。

[0019] 一方、応答時間を短縮するため積分回路の時定数を小さくした場合には、図12(c)に示したように、同符号連続信号時のクロック制御電圧の変動量が大きくなり、クロックの同期はずれや位相雑音の増加が発生する、という問題がある。

[0020] 上記2つの問題は、互いにトレードオフの関係にあり、両立できない課題(2つの問題を同時に解決することができないという課題)となっていた。

[0021] 図11に示した回路構成では、伝送データ信号の変化点に追従して、ある一定の遅

延をクロックに与えることが可能となっている。しかしながら、最適な識別位相で、識別器904を動作させるためには、入力する伝送データ信号に対して、最適な遅延時間を、予め回路定数として設定しておく必要がある。通常、この遅延時間は、伝送データ速度や回路構成に大きく左右されるため、最適な回路定数を設定することは難しい。

[0022] したがって、本発明は、上記課題の認識に基づき創案されたものであって、その主たる目的は、前記した応答時間における問題点を改善するとともに、最適な識別位相を自動制御することで、回路定数の設定を不要とするクロックデータ再生回路を提供することにある。

### 課題を解決するための手段

[0023] 本願で開示される発明は、前記目的を達成するものであり、以下のようなものである。

[0024] 本発明の一のアスペクト(側面)に係るクロックデータ再生回路は、発振周波数が可変制御される発振器から出力されるクロック信号を、入力データ信号に位相同期させる位相同期用ループを有し、さらに、前記入力データ信号を識別用クロック信号に応じてサンプルする識別回路で識別され出力される出力データ信号と、前記入力データ信号との位相差を検出する位相比較回路と、前記位相比較回路からの比較結果出力に基づき、前記発振器から出力されるクロック信号の位相をシフトさせる位相シフト回路と、を有し、前記位相シフト回路からの出力クロック信号が前記識別用クロック信号として前記識別回路に供給される構成とされている。

[0025] 本発明の別のアスペクトに係るクロックデータ再生回路は、クロック信号と受信データ信号との位相差を検出する第1の位相比較回路を少なくとも含む第1のフィードバックループと、受信データ信号を入力とする識別回路と、前記識別回路で識別され出力されるデータ信号と前記受信データ信号との位相差を検出する第2の位相比較回路と、を含む第2のフィードバックループと、前記第1及び第2のフィードバックループで制御され、再生されたクロック信号を出力するクロック再生回路を備え、前記識別回路の識別用クロック信号として、前記クロック再生回路から出力されるクロック信号が供給される構成とされる。

[0026] 本発明において、前記第1のフィードバックループは、入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、前記電圧制御発振回路から出力されるクロック信号と前記受信データ信号とを入力して位相差を検出する第1の位相比較回路と、前記第1の位相比較回路の出力を積分し積分出力を前記電圧制御発振回路に制御信号として供給する第1の積分回路と、を含み、前記第2のフィードバックループは、前記受信データ信号を入力する識別回路と、前記識別回路の出力と前記受信データ信号とを入力して位相差を検出する第2の位相比較回路と、前記第2の位相比較回路の出力を所定の時定数で積分する第2の積分回路と、前記電圧制御発振回路から出力されるクロック信号を入力し前記第2の積分回路の積分出力を入力し、入力したクロック信号の位相を前記積分出力に応じてシフトさせて出力する位相シフト回路と、を含み、前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロックとして供給されるとともに、出力クロック信号として供給される構成とされる。

[0027] 本発明の他のアスペクトに係るクロックデータ再生回路は、入力されるリファレンスクロック信号と、再生されたクロック信号との位相差を検出する第1の位相比較回路を含む第1のフィードバックループと、受信データ信号を入力とする識別回路と、前記識別回路にて識別した信号と前記受信データ信号との位相差を検出する第2の位相比較回路を含む第2のフィードバックループと、を有し、前記識別回路の識別用クロックが、前記第1及び第2のフィードバックループで制御されるクロック再生回路より供給される構成とされる。

[0028] 本発明において、前記第1のフィードバックループは、入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、前記電圧制御発振回路から出力されるクロック信号とリファレンスクロック信号とを入力して位相差を検出する第1の位相比較回路と、前記第1の位相比較回路の出力を積分し積分出力を前記電圧制御発振回路に制御信号として供給する第1の積分回路と、を含み、前記第2のフィードバックループは、前記受信データ信号を入力する識別回路と、前記識別回路の出力と前記受信データ信号とを入力して位相差を検出する第2の位相比較回路と、前記第2の位相比較回路の出力を所定の時定数で積分する第2の積分回路と、前

記電圧制御発振回路から出力されるクロック信号を入力し前記第2の積分回路の積分出力を入力し、入力したクロック信号の位相を前記積分出力に応じてシフトさせて出力する位相シフト回路と、を含み、前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロックとして供給されるとともに、出力クロック信号として供給される、構成とされる。

[0029] 本発明のさらに別のアスペクトに係るクロックデータ再生回路において、前記第1の位相比較回路にて、前記電圧制御発振器からのクロック信号と比較する信号として、受信データ信号とリファレンスクロック信号を選択する選択回路を有する構成としてもよい。

[0030] 本発明において、前記第1のフィードバックループは、リファレンスクロック信号と前記受信クロック信号を入力し選択制御信号に基づき一方を出力する選択回路と、入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、前記電圧制御発振器からのクロック信号と比較する信号として、前記電圧制御発振回路から出力されるクロック信号と、前記選択回路からの信号とを入力して位相差を検出する第1の位相比較回路と、前記第1の位相比較回路の出力を積分し積分出力を前記電圧制御発振回路に制御信号として供給する第1の積分回路と、を含み、前記第2のフィードバックループは、前記受信データ信号を入力する識別回路と、前記識別回路の出力と前記受信データ信号とを入力して位相差を検出する第2の位相比較回路と、前記第2の位相比較回路の出力を所定の時定数で積分する第2の積分回路と、前記電圧制御発振回路から出力されるクロック信号を入力し前記第2の積分回路の積分出力を入力し、入力したクロック信号の位相を前記積分出力に応じてシフトさせて出力する位相シフト回路と、を含み、前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロックとして供給されるとともに、出力クロック信号として供給される構成としてもよい。

[0031] 本発明において、前記第1のフィードバックループの時定数が、前記第2のフィードバックループの時定数よりも大きい値とされる構成としてもよい。

本発明によれば、入力データ信号を識別用クロック信号に応じて識別し出力データ信号を出力する識別回路と、前記入力データ信号又は基準クロック信号を入力し前

記入力した信号に同期したクロック信号を生成するクロック生成回路と、を含むクロックデータ再生回路において、前記出力データ信号と前記入力データ信号の位相差を検出し前記位相差の積分結果に基づき、前記クロック信号の位相をシフトし前記識別回路に前記識別用クロック信号として供給するフィードバックループ回路を含む構成としてもよい。

## 発明の効果

- [0032] 本発明によれば、電圧制御発振器の発振周波数を制御する第1のフィードバックループと、データ再生用の第2のフィードバックループが分離されており、クロックの周波数と位相を個別に制御することができる。
- [0033] このため、本発明によれば、従来のクロックデータ再生回路で課題とされていた、追従時間と、同符号連続信号時の安定性と、に関するトレードオフの関係を、特段に緩和することを可能としており、伝送データ信号の揺らぎや変動に対する追従速度の改善と高いクロック品質を両立させることができる、という顕著な効果を奏する。
- [0034] しかも、本発明によれば、伝送データ信号と識別後のデータ信号を比較し、フィードバックを掛けているため、伝送データ速度や回路構成によらず、最適な識別位相に自動的に調整され、十分大きな位相余裕を確保できる。

## 図面の簡単な説明

- [0035] [図1]本発明の第1の実施例の構成を示す図である。
- [図2]本発明の第2の実施例の構成を示す図である。
- [図3]本発明の第3の実施例の構成を示す図である。
- [図4]本発明の第3の実施例の構成を示す図である。
- [図5](a)乃至(c)は本発明の実施例の動作を説明するためのタイミング図である。
- [図6]本発明で用いられる位相シフタの構成の一例を示す図である。
- [図7]積分回路の時定数とVCO制御信号の関係を説明するための図である(図7(a)、(b)は比較例、図7(c)は本発明)。
- [図8]従来のクロックデータ再生回路の構成を示す図である。
- [図9]位相比較器の特性を示す図である。
- [図10]従来のクロックデータ再生回路の動作を説明するタイミング図である。

[図11]従来のクロックデータ再生回路の構成を示す図である。

[図12]受信データ信号とVCO制御信号の関係を示す図。

### 符号の説明

[0036] 11～14 マイクロストリップ線路

15、16 ダイオード

101 受信データ信号

102 クロック信号

103 電圧制御発振器(VCO)

104 第1のフィードバックループ

105 識別器(D-FF)

106 出力データ信号

107 第2のフィードバックループ

108 位相シフタ

109 第1の位相比較器

110 第1の積分回路(LPF1)

111 第2の位相比較器

112 第2の積分回路(LPF2)

201 受信データ信号

202 クロック信号

203 電圧制御発振器(VCO)

204 第1のフィードバックループ

205 識別器

206 出力データ信号

207 第2のフィードバックループ

208 位相シフタ

209 第1の位相比較器

210 第1の積分回路

211 第2の位相比較器

- 212 第2の積分回路
- 215 セレクタ制御信号
- 301 受信データ信号
- 302 クロック信号
- 303 電圧制御発振器(VCO)
- 304 第1のフィードバックループ<sup>¶</sup>
- 305 識別器
- 306 出力データ信号
- 307 第2のフィードバックループ<sup>¶</sup>
- 308 位相シフタ(位相シフト回路)
- 309 第1の位相比較器
- 310 第1の積分回路(LPF1)
- 311 第2の位相比較器
- 312 第2の積分回路(LPF2)
- 313 リファレンスクロック信号
- 401 リファレンスクロック信号
- 402 セレクタ
- 403 セレクタ制御端子
- 601 フィードバックループ<sup>¶</sup>
- 602 位相比較器
- 603 積分回路
- 604 電圧制御発振器
- 605 識別器
- 901 クロック抽出手段
- 902 位相同期手段
- 903 クロック遅延手段
- 904 識別器
- 909 電圧制御発振器

910 位相比較器

912 可変遅延回路

1101 制御端子

### 発明を実施するための最良の形態

[0037] 本発明についてさらに詳細に説述すべく添付図面を参照して以下に説明する。

[0038] 本発明の実施の形態の一例について説明する。本発明の一実施の形態は、第1の入力端に入力される入力データ信号と、第2の入力端に入力されるクロック信号との位相を比較し比較結果を出力端から出力する第1の位相比較回路(図2の209)と、第1の位相比較回路(209)の出力信号を入力して積分する第1の積分回路(図2の210)と、第1の積分回路(210)からの出力信号を入力端から入力し、前記出力信号に基づき、発振周波数を可変させ出力端からクロック信号を出力するクロック再生回路(203、例えば電圧制御発振器で構成される)と、を有し、クロック再生回路(203)から出力されるクロック信号は第1の位相比較回路(209)の第2の入力端に帰還入力され、これらは、第1の帰還(フィードバック)ループを構成する。またデータ入力端に前記受信データ信号を入力しクロック入力端に入力される識別クロック信号に基づき前記受信データ信号を識別し出力端からデータ信号を出力する識別回路(図2の205)と、第1の入力端に入力される識別回路(205)からのデータ信号と、第2の入力端に入力される前記受信データ信号との位相を比較し比較結果を出力端から出力する第2の位相比較回路(図2の211)と、第2の位相比較回路(211)の出力信号を入力して積分する第2の積分回路(図2の212)と、クロック再生回路(203)から出力されるクロック信号を入力端から入力し、第2の積分回路(212)からの出力信号を制御信号入力端から入力し、前記出力信号に基づき、クロック再生回路(203)から出力される前記クロック信号の位相をシフトさせて出力端から出力する位相シフト回路(図2の208)と、を含み、位相シフト回路(208)から出力されるクロック信号が、識別回路(205)の識別クロック信号として供給されることで、識別回路(205)、第2の位相比較回路(211)、第2の積分回路(212)、位相シフト回路(208)は第2の帰還ループを構成する。

[0039] このように、本発明によれば、VCOの発振周波数を制御する第1のフィードバックル

ープと、データ再生用の第2のフィードバックループが分離されており、クロックの周波数と位相を個別に制御することができる。追従時間と、同符号連続信号時の安定性に関するトレードオフの関係を、特段に緩和することが可能となり、伝送データ信号の揺らぎや変動に対する追従速度の改善と高いクロック品質を両立できる。本実施例によれば、伝送データ信号と識別後のデータ信号を比較し、フィードバックを掛けているため、伝送データ速度や回路構成によらず、最適な識別位相に自動的に調整され、十分大きな位相余裕を確保することができる。以下、具体的な実施例に即して説明する。

## 実施例

[0040] 図1は、本発明の第1の実施例のクロックデータ再生回路の構成を示す図である。図1を参照すると、この実施例のクロックデータ再生回路は、受信データ信号101とVCO103の出力信号の位相差を検出する第1の位相比較器109を含む第1のフィードバックループ104と、受信データ信号101を、識別器105にて識別した信号と受信データ信号101との位相差を検出する第2の位相比較器111と、を含む第2のフィードバックループ107を備えている。

[0041] 第1のフィードバックループ104は、第1の位相比較器109と、第1の積分回路(低域通過フィルタ)110と、電圧制御発振器(VCO)103を備えている。

[0042] 第2のフィードバックループ107は、第2の位相比較器111と、第2の積分回路(低域通過フィルタ)112と、位相シフタ108と、識別器105を備えている。

[0043] 本実施例において、識別器105は、マスターとスレーブの2段のフリップフロップ(ラッチ)よりなるエッジトリガー型レジスタよりなり、マスターラッチはクロック端子に入力されるクロック信号のロウレベルでデータ入力端子の入力データ信号を受けて保持出力し、スレーブラッチは、クロック信号のハイレベルで、マスターラッチの出力を受けて保持出力する。マスターラッチの出力が第2の位相比較回路111に入力され、スレーブラッチからのデータ出力が出力データ信号106とされる。

[0044] 第1、第2の位相比較器109、111は、前記したように、図9に示した特性を持つ排他的論理和にて構成される。

[0045] 位相シフタ108は、例えば図6に示すようなダイオード15、16と、マイクロストリップ

線路11、12、13、14からなる、反射型のアナログ移相器で構成されており、位相遅延の制御は、制御端子1101を電圧(ダイオードのカソード端子電圧)を可変制御することで行われる。

[0046] 本実施例では、VCO103の発振周波数を制御する第1のフィードバックループ104と、データ再生用の第2のフィードバックループ107とを分離しているため、クロックの発振周波数と位相を独立に制御することができる。

[0047] このため、図7(a)、図7(b)に示すような、従来のクロックデータ再生回路の積分回路(ローパスフィルタ)の時定数の設定の場合と相違して、図7(c)に示すように、第1の積分回路(LPF1)110の時定数を大きく、第2の積分回路(LPF2)112の時定数を小さく設定することが可能となる。なお、図7は、本発明と、従来の回路の積分回路の時定数とVCO制御信号の積分出力電圧を比較して模式的に示した図である。

[0048] 次に図5を参照して、本実施例の動作について説明する。図5(a)乃至図5(c)は、図1に示した実施例において、クロックデータの再生動作の後、新たに受信データ信号が変化した場合のタイミング動作を模式的に示したタイミング図である。

[0049] まず、受信データ信号の位相が進んだ場合について、図5(a)を参照して説明する。図5(a)では、受信データ信号の位相は、識別用クロックより位相は $\phi$ 進んでいる。

[0050] この場合、第1の位相比較器109は、受信データ信号の変化点と、識別用クロックの立ち下がりのタイミングを比較し、位相差に応じた値を出力する。本実施例においては、第1の積分回路110の時定数が十分大きいため、当初、積分回路110の出力電圧は、殆ど変動せず、このため、VCO103の発振周波数も変化しない。

[0051] 一方、第2の位相比較器111も、受信データ信号の変化点と、識別後のデータ出力(識別器105の出力)の変化点を比較し、その位相差に応じた値を、出力する。このとき、第2のフィードバックループ107における第2の積分回路112の時定数は、第1の積分回路110の時定数よりも小さな値であるため、出力積分値が変動し、位相シフタ108の遅延量が、まず最適値へと遷移する。

[0052] このため、本実施例によれば、追従時間が速く、同期がとれた、正確なデータの識別再生が実現され、クロック再生を、前述した従来のクロックデータ再生回路よりも、短時間で実現できる。

[0053] さらに、時間が経過した場合には、第1の積分回路110の出力積分値のゆっくりとした変化に応じて、VCO103の発振周波数も変化する。

[0054] 本実施例によれば、第2のフィードバックループ107は、常に、より早く遅延量を最適化するため、正確なデータと、クロック再生の同期状態は維持され、やがて、2つのフィードバックループ104、107は、同期のとれた安定状態へと遷移する。

[0055] 図5(b)は、受信データ信号の位相が遅れた場合を示している。図5(b)では、受信データ信号の位相は識別クロックより位相は  $\phi$  遅れている。この場合、前記説明と同様にして、追従時間が短い状態で、クロックデータ再生回路は、安定動作に至る。

[0056] 図5(c)は、受信データ信号の位相に変化が無い場合を示している。この場合、第1の第1のフィードバックループ104の積分回路110は、受信データ信号の基本周波数に比較して十分に大きい時定数のため、同符号連続信号に対しても、安定した積分値を出力する。このため、VCO103からのクロック信号は、ジッタや位相雑音の少ない安定した周波数特性となる。

[0057] 一方、第2のフィードバックループ107は、受信データ信号101と、識別再生後のデータ信号の位相を比較している。このため、識別用クロック信号は、位相シフタ108により、受信データ信号に対して、最適な遅延量に自動的に調整される。

[0058] 本実施例は、同符号連続信号への安定性と、応答速度の改善を両立させることができる。さらに最適なクロック信号となる位相遅延を自動調整することができる。

[0059] 図2は、本発明の第2の実施例の構成を示す図である。図2を参照すると、この実施例のクロックデータ再生回路は、VCO203と、受信データ信号201とVCO出力の位相差を検出する第1の位相比較器209と、第1の積分回路210からなる第1のフィードバックループ204を有している。また、識別器205と、受信データ201を識別器205にて識別した信号と受信データ201との位相差を検出する第2の位相比較器211と、チャージポンプ回路付きの第2の積分回路212と、位相シフタ208からなる第2のフィードバックループ207を有している。位相比較器209は、図9に示した特性を持つ排他的論理和で構成され、位相比較器211は位相周波数比較器からなり、位相シフタ208は、ベクトル合成型の移相器で構成されている。

[0060] 本実施例では、VCO203の発振周波数を制御する第1のフィードバックループ20

4と、データ再生用の第2のフィードバックループ207が分離しているため、VCO203の発振周波数と位相を独立に制御できる。このため、図7(c)に示すように、従来の積分回路の時定数設定と違い、第1の積分回路210の時定数を大きく、第2の積分回路212の時定数を小さく設定することが可能となる。

[0061] 次に、本実施例の動作について図5を参照して説明する。受信データ信号の位相が進んだ場合について、図5(a)を参照して説明する。前記実施例と同様、第1の位相比較器209は受信データ信号の変化点と識別用クロック(=VCO203出力)の立ち下がりのタイミングを比較し、位相差に応じた値を出力する。第1の積分回路210の時定数が十分大きく、積分値は始めは殆ど変動せず、VCO203の発振周波数も変化しない。一方、第2の位相比較器211も、受信データ信号の変化点と識別後のデータ出力の変化点を比較し、その位相差に応じた値を、パルス出力する。このとき、第2のフィードバックループ207における第2の積分回路212の時定数を、第1の積分回路210のものよりも小さくしておくと、出力の積分値が素早く応答し、位相シフタ208の遅延量がまず最適値へと遷移する。さらに時間が経過した場合には、第1の積分回路210の出力積分値のゆっくりとした変化に応じ、VCO203の発振周波数も変化する。第2のフィードバックループ207が常により早く遅延量を最適化するため、正確なデータとクロック再生の同期状態は維持され、やがて2つのフィードバックループ204、207は、同期がとれ安定状態へと遷移する。

[0062] 受信データ信号の位相が遅れた場合、前記実施例の説明において、図5(b)を参考し説明したとおり、追従時間が短い状態で、安定動作に至る。

[0063] さらに、受信データ信号の位相に変化が無い場合、図5(c)に示すように、第1のフィードバックループ204の第1の積分回路210は、受信データ信号の基本周波数に比較して十分に大きい時定数のため、同符号連続信号に対しても安定した積分値を出力する。

[0064] このため、VCO203からのクロック信号は、ジッタや位相雑音の少ない安定した周波数特性となる。一方、第2のフィードバックループ207は、受信データ信号201と識別再生後のデータ信号の位相を比較している。この時、第2の位相比較器211、チャージポンプ回路付きの第2の積分回路212、及び、位相シフタ208の構成により、同

符号連続信号時には、それ以前の積分値出力が、位相シフタ208の制御電圧として、維持されている。このため、第1と第2のフィードバックループ204、207の時定数は互いに独立に設定することができる。

[0065] また識別用クロック信号は、位相シフタ208により、受信データ信号201に対して最適な遅延量に自動的に調整されている。

[0066] このように、本発明の第2の実施例は、前記した従来のクロックデータ回路と相違して、同符号連続信号への安定性と応答速度の改善を両立させることができ、さらに、最適なクロック信号となる位相遅延を自動調整することを可能としている。

[0067] 図3は、本発明の第3の実施例の構成を示す図である。図3を参照すると、この実施例のクロックデータ再生回路は、VCO303と、リファレンスクロック信号313とVCO303の出力の位相差を検出する第1の位相比較器309と、第1のループフィルタ(LPF)回路をなす第1の積分回路(LPF1)310とを有している。また、識別器305と、受信データ301を識別器305にて識別した信号と受信データ301との位相差を検出する第2の位相比較器311と、第2の積分回路(LPF2)312と、位相シフタ308とからなる第2のフィードバックループ307を有している。

[0068] 第1の位相比較器309と第2の位相比較器311は、図9に示した特性を持つ排他的論理和より構成される。位相シフタ308は、図6に示した反射型の移相器で構成されている。

[0069] 本実施例では、リファレンスクロック信号313により、VCO303の発振周波数を制御する第1のフィードバックループ304と、データ再生用の第2のフィードバックループ307とが分離している。このため、VCO303を、回路に供給されたリファレンスクロック信号313に同期させたまま、データ識別、再生の正常動作が可能である。

[0070] 本実施例によれば、第1の積分回路310の時定数を大きく、第2の積分回路312の時定数を小さくすることで、安定したクロック再生信号の実現と、応答速度の大幅な改善を両立させることができる。

[0071] 図4は、本発明の第4の実施例の構成を示す図である。図4を参照すると、この実施例のクロックデータ再生回路は、VCO203と、セレクタ制御端子403の信号に基づき、リファレンスクロック信号401と受信データ信号201の切り替えを行うセレクタ回路4

02と、セレクタ回路402の出力信号と、VCO203から出力されるクロック信号の位相差を検出する第1の位相比較器209と、第1の積分回路(LPF1)210からなる第1のフィードバックループ204を有している。また、識別器205と、受信データ201を識別器205にて識別した信号と受信データ201との位相差を検出する第2の位相比較器211と、第2の積分回路(LPF2)212と、位相シフタ208とからなる第2のフィードバックループ207を有している。

- [0072] 第1の位相比較器209と第2の位相比較器211は、図9に示した特性を持つ排他的論理和で構成され、位相シフタ208は、図6に示した反射型の移相器で構成されている。
- [0073] 本実施例では、セレクタ回路402の出力信号と、VCO203の出力信号の位相比較により、VCO発振周波数を制御する第1のフィードバックループ204と、データ再生用の第2のフィードバックループ207が分離している。
- [0074] VCO203は、リファレンスクロック信号401に同期させたまま、データ識別、再生の正常動作が可能である。
- [0075] さらに、本実施例において、受信データ信号がオフラインの時には、リファレンスクロック信号401とVCO203の同期をとり、受信データ信号がオンラインとなった時には、セレクタ制御信号215を切り替えることで、セレクタ402が受信データ信号201を選択し、これにより、受信データ信号201に、VCO203からのクロック信号を位相同期させることができる。
- [0076] 本実施例によれば、クロックデータ再生回路のロックイン時間(同期がとれるまでの時間)を大幅に減少することができる。また、本実施例によれば、第2のフィードバック回路207の時定数を比較的小さな値としておくことで、データ信号の変動に対する応答速度を、短縮することができる。
- [0077] このように、本実施例によれば、より早いロックイン時間、安定したクロック再生信号、素早い応答速度の全てを実現することができる。
- [0078] 以上、本発明を上記実施例に即して説明したが、本発明は上記実施例の構成に限定されるものではなく、特許請求の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

## 産業上の利用可能性

[0079] 本発明に係るクロック再生回路は、入力データ信号からデータ信号を識別・再生するクロックデータ再生機能を含むインターフェース回路、半導体装置、電子機器、情報通信装置等に利用することができる。

## 請求の範囲

[1] 発振周波数が可変制御される発振器を有し前記発振器から出力されるクロック信号と、入力データ信号とを位相同期させる位相同期用ループと、  
前記入力データ信号を識別用クロック信号に応じて識別して出力する識別回路と、  
前記識別回路で識別出力された出力データ信号と、前記入力データ信号との位相差を検出する位相比較回路と、  
前記位相比較回路からの比較結果出力に基づき、前記発振器から出力されるクロック信号の位相をシフトさせる位相シフト回路と、  
を有し、前記位相シフト回路から出力されるクロック信号が前記識別用クロック信号として前記識別回路に供給される、ことを特徴とするクロックデータ再生回路。

[2] クロック信号と受信データ信号との位相差を検出する第1の位相比較回路を少なくとも含む第1のフィードバックループと、  
受信データ信号を入力とする識別回路と、前記識別回路で識別され出力されるデータ信号と前記受信データ信号との位相差を検出する第2の位相比較回路と、を含む第2のフィードバックループと、  
前記第1及び第2のフィードバックループで制御され、再生されたクロック信号を出力するクロック再生回路を備え、  
前記識別回路の識別用クロック信号として、前記クロック再生回路から出力されるクロック信号が供給される、ことを特徴とするクロックデータ再生回路。

[3] 前記第1のフィードバックループは、  
入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記受信データ信号とを入力し、入力した2つの信号の位相差を検出する第1の位相比較回路と、  
前記第1の位相比較回路の出力を積分し出力電圧を前記電圧制御発振回路に制御信号電圧として供給する第1の積分回路と、  
を含み、  
前記第2のフィードバックループは、  
前記受信データ信号を入力する識別回路と、

前記識別回路から出力される出力データ信号と前記受信データ信号とを入力し、  
入力した2つの信号の位相差を検出する第2の位相比較回路と、  
前記第2の位相比較回路から出力を積分する第2の積分回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記第2の積分回路の積分  
出力を入力し、入力したクロック信号の位相を、入力した前記積分出力に応じてシ  
フトさせて出力する位相シフト回路と、  
を含み、  
前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロック  
として供給されるとともに、出力クロック信号として出力される、ことを特徴とする請求  
項2記載のクロックデータ再生回路。

[4] 入力されるリファレンスクロック信号と、再生されたクロック信号との位相差を検出す  
る第1の位相比較回路を含む第1のフィードバックループと、

受信データ信号を入力とする識別回路と、前記識別回路にて識別され出力される  
データ信号と前記受信データ信号との位相差を検出する第2の位相比較回路と、を  
含む第2のフィードバックループと、

を有し、

前記識別回路の識別用クロックが、前記第1及び第2のフィードバックループで制  
御されるクロック再生回路より供給される、ことを特徴とするクロックデータ再生回路。

[5] 前記第1のフィードバックループは、

入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記リファレンスクロック信  
号とを入力して位相差を検出する第1の位相比較回路と、

前記第1の位相比較回路の出力を積分し出力電圧を前記電圧制御発振回路に制  
御信号電圧として供給する第1の積分回路と、

を含み、

前記第2のフィードバックループは、

前記受信データ信号を入力する識別回路と、

前記識別回路から出力される出力データ信号と前記受信データ信号とを入力し、

入力した2つの信号の位相差を検出する第2の位相比較回路と、  
前記第2の位相比較回路の出力を積分する第2の積分回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記第2の積分回路の積分  
出力とを入力し、入力したクロック信号の位相を、入力した前記積分出力に応じてシ  
フトさせて出力する位相シフト回路と、  
を含み、  
前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロック  
として供給されるとともに、出力クロック信号として出力される、ことを特徴とする請求  
項4記載のクロックデータ再生回路。

[6] 前記第1の位相比較回路が、前記クロック信号と位相を比較する信号として、前記  
受信データ信号と、リファレンスクロック信号のいずれかを選択する選択回路を有す  
る、ことを特徴とする請求項4記載のクロックデータ再生回路。

[7] 前記第1のフィードバックループは、  
リファレンスクロック信号と、前記受信クロック信号を入力し選択制御信号に基づき  
一方を出力する選択回路と、

入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記選択回路からの信号と  
を入力して位相差を検出する第1の位相比較回路と、

前記第1の位相比較回路の出力を積分し出力電圧を前記電圧制御発振回路に制  
御信号電圧として供給する第1の積分回路と、

を含み、

前記第2のフィードバックループは、  
前記受信データ信号を入力する識別回路と、  
前記識別回路の出力と前記受信データ信号とを入力して位相差を検出する第2の  
位相比較回路と、

前記第2の位相比較回路の出力を積分する第2の積分回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記第2の積分回路の積分  
出力とを入力し、入力したクロック信号の位相を、入力した前記積分出力に応じてシ

フトさせて出力する位相シフト回路と、

を含み、

前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロックとして供給されるとともに、出力クロック信号として出力される、ことを特徴とする請求項6記載のクロックデータ再生回路。

[8] 前記第1のフィードバックループの時定数が、前記第2のフィードバックループの時定数よりも大きい値とされている、ことを特徴とする請求項2乃至7のいずれか一に記載のクロックデータ再生回路。

[9] 前記第1の積分回路の時定数が、前記第2の積分回路の時定数よりも大きい値とされている、ことを特徴とする請求項3、5、7のいずれか一に記載のクロックデータ再生回路。

[10] 第1の入力端に入力される入力データ信号と、第2の入力端に入力されるクロック信号との位相を比較し比較結果を出力端から出力する第1の位相比較回路と、

前記第1の位相比較回路の出力信号を入力して積分する第1の積分回路と、

前記第1の積分回路からの出力信号を入力端から入力し、前記第1の積分回路からの出力信号に基づき、発振周波数を可変させ、出力端からクロック信号を出力するクロック再生回路と、

を有し、前記クロック再生回路から出力されるクロック信号は前記第1の位相比較回路の第2の入力端に帰還入力され、

データ入力端に前記入力データ信号を入力し、クロック入力端に入力される識別用クロック信号に基づき前記入力データ信号を識別し、出力端からデータ信号を出力する識別回路と、

第1の入力端に入力される前記識別回路からのデータ信号と、第2の入力端に入力される前記入力データ信号との位相を比較し、比較結果を出力端から出力する第2の位相比較回路と、

前記第2の位相比較回路の出力信号を入力して積分する第2の積分回路と、

前記クロック再生回路から出力される前記クロック信号を入力端から入力し、前記第2の積分回路からの出力信号を制御信号入力端から入力し、前記出力信号に基づ

き、前記クロック再生回路から出力される前記クロック信号の位相をシフトさせて出力端から出力する位相シフト回路と、  
を含み、

前記位相シフト回路から出力されるクロック信号が、前記識別回路に前記識別用クロック信号として供給される、ことを特徴とするクロックデータ再生回路。

[11] 入力データ信号を識別用クロック信号に応じて識別し出力データ信号を出力する識別回路と、前記入力データ信号又は基準クロック信号を入力し前記入力した信号に同期したクロック信号を生成するクロック生成回路と、を含むクロックデータ再生回路において、

前記出力データ信号と前記入力データ信号の位相差を検出し前記位相差の積分結果に基づき、前記クロック信号の位相をシフトし前記識別回路に前記識別用クロック信号として供給するフィードバックループ回路を含む、ことを特徴とするクロックデータ再生回路。

## 補正書の請求の範囲

[2005年4月18日(18.04.05)国際事務局受理：出願当初の請求の範囲7は補正された；他の請求の範囲は変更なし。(1頁)]

入力した2つの信号の位相差を検出する第2の位相比較回路と、  
前記第2の位相比較回路の出力を積分する第2の積分回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記第2の積分回路の積分  
出力を入力し、入力したクロック信号の位相を、入力した前記積分出力に応じてシ  
フトさせて出力する位相シフト回路と、  
を含み、

前記位相シフト回路から出力されるクロック信号が、前記識別回路に識別用クロック  
として供給されるとともに、出力クロック信号として出力される、ことを特徴とする請求  
項4記載のクロックデータ再生回路。

[6] 前記第1の位相比較回路が、前記クロック信号と位相を比較する信号として、前記  
受信データ信号と、リファレンスクロック信号のいずれかを選択する選択回路を有す  
る、ことを特徴とする請求項4記載のクロックデータ再生回路。

[7] (補正後)前記第1のフィードバックループは、  
リファレンスクロック信号と、前記受信データ信号を入力し選択制御信号に基づき一  
方を出力する選択回路と、

入力される制御信号電圧に基づき発振周波数を可変させる電圧制御発振回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記選択回路からの信号と  
を入力して位相差を検出する第1の位相比較回路と、

前記第1の位相比較回路の出力を積分し出力電圧を前記電圧制御発振回路に制  
御信号電圧として供給する第1の積分回路と、  
を含み、

前記第2のフィードバックループは、  
前記受信データ信号を入力する識別回路と、  
前記識別回路の出力と前記受信データ信号とを入力して位相差を検出する第2の  
位相比較回路と、

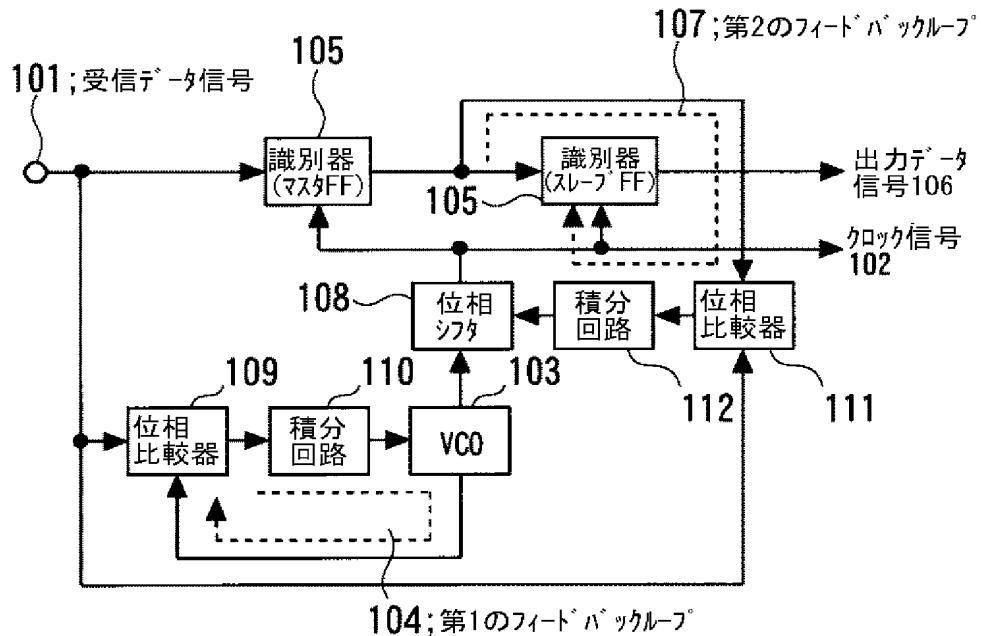
前記第2の位相比較回路の出力を積分する第2の積分回路と、  
前記電圧制御発振回路から出力されるクロック信号と、前記第2の積分回路の積分  
出力を入力し、入力したクロック信号の位相を、入力した前記積分出力に応じてシ

## 条約第19条(1)に基づく説明書

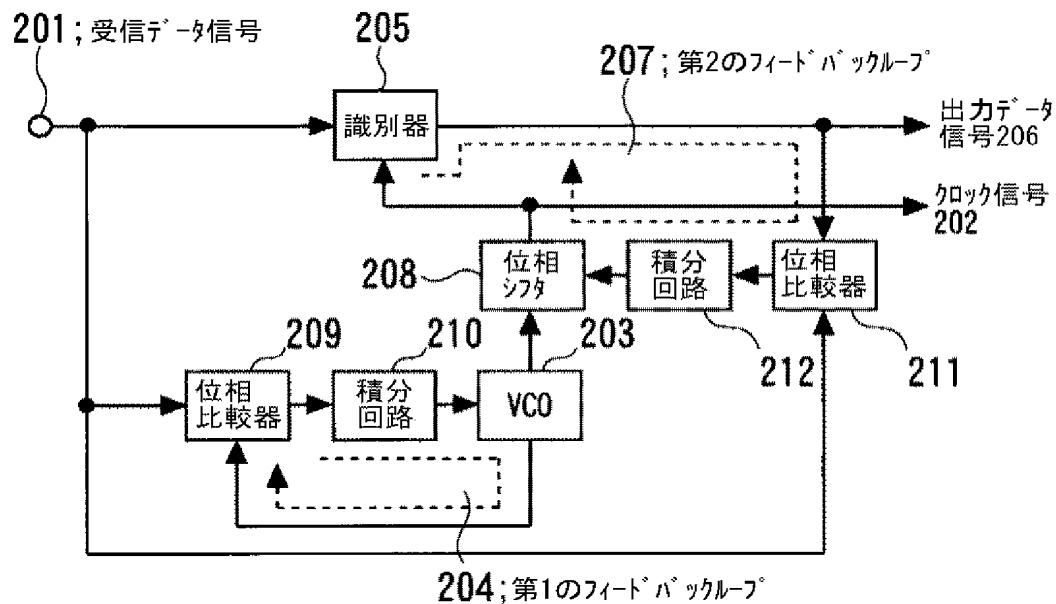
請求の範囲第7項に記載の「前記受信クロック信号」を「前記受信データ信号」に変更し、不備を解消した。

以上

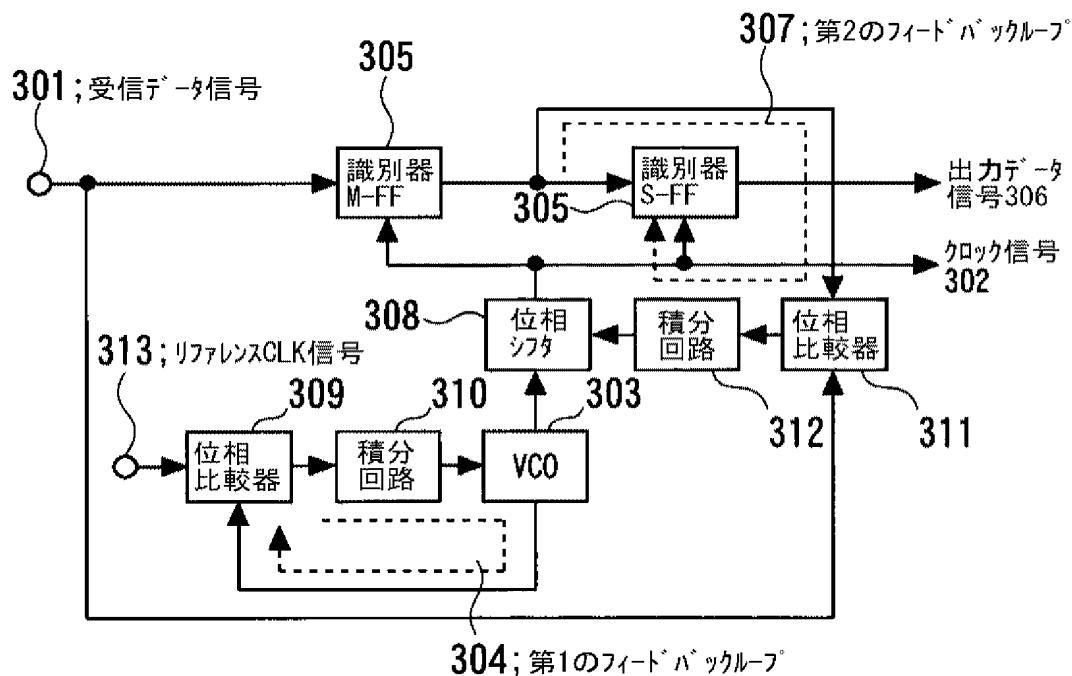
[図1]



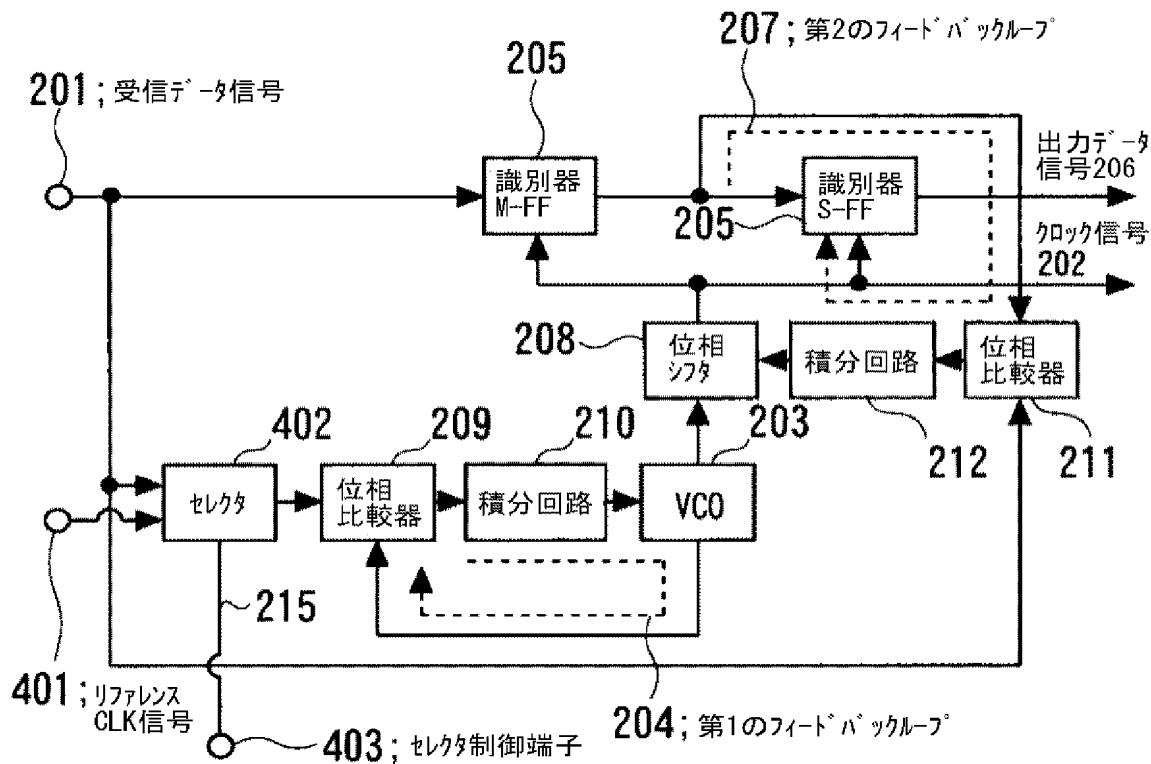
[図2]



[図3]

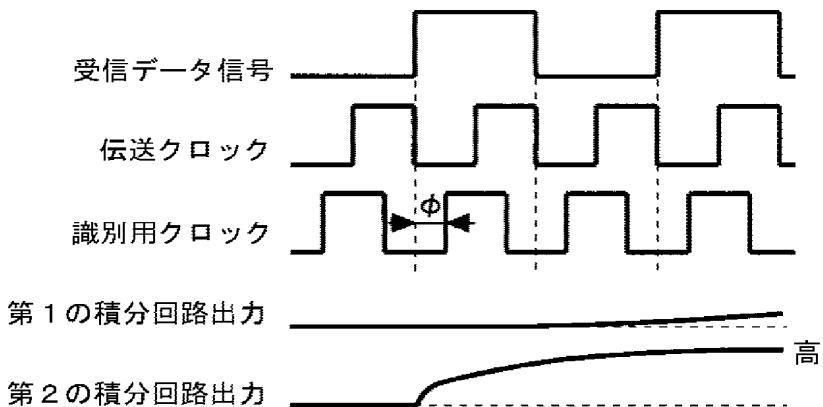


[图4]

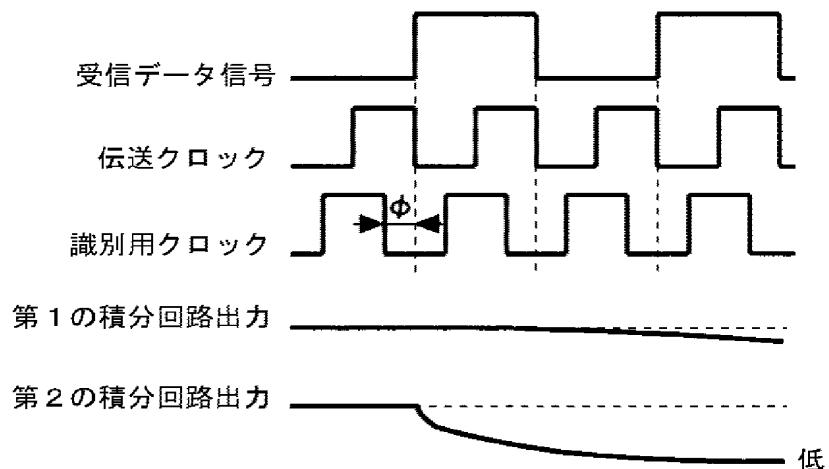


[図5]

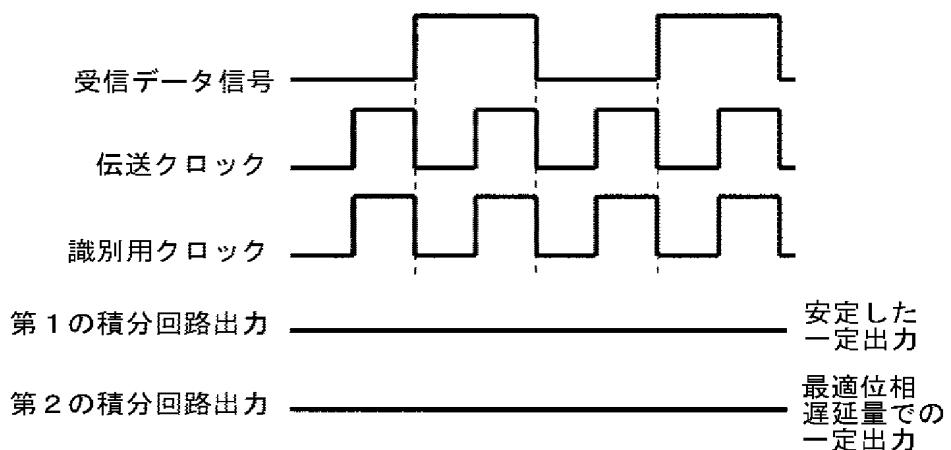
## (a) 受信データ信号の位相が進んだ場合



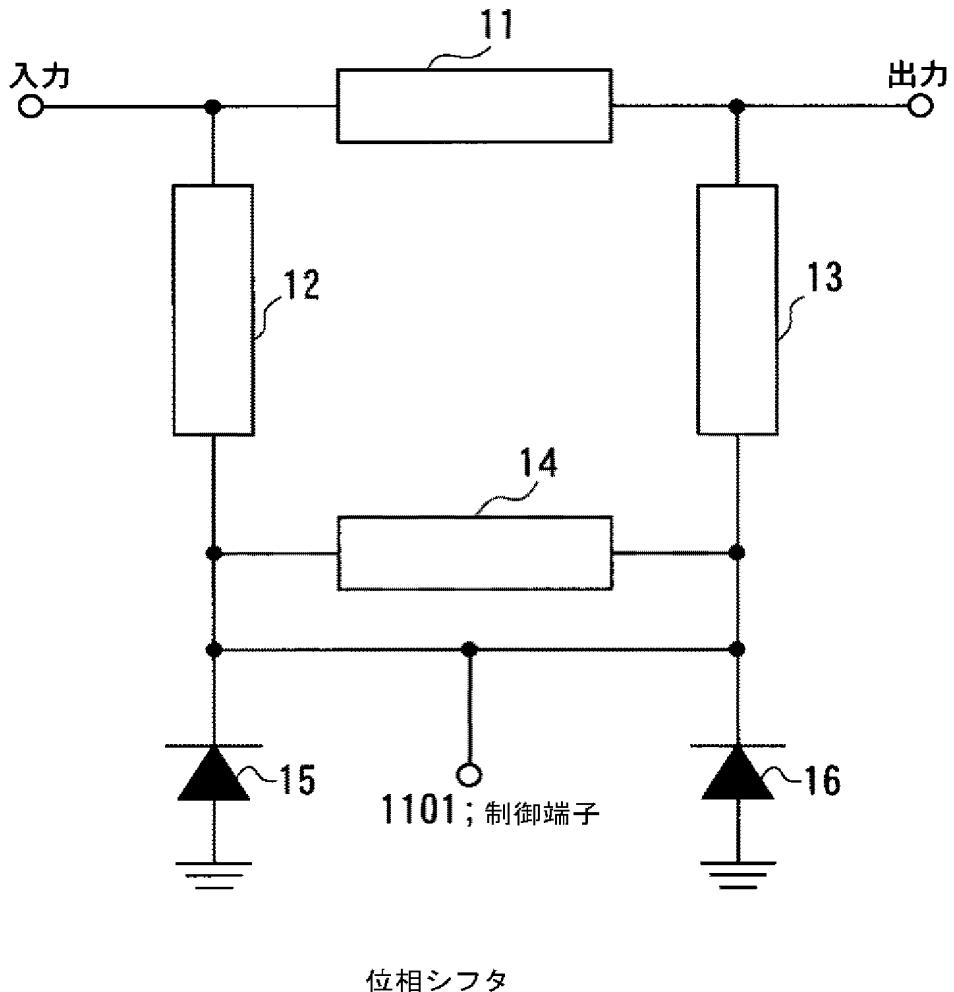
## (b) 受信データ信号の位相が遅れた場合



## (c) 受信データ信号と識別用クロックの同期が取れている場合

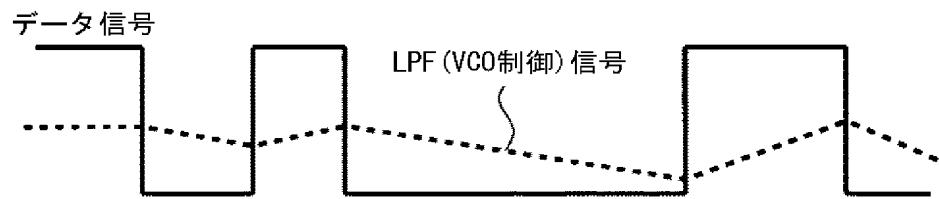


[図6]

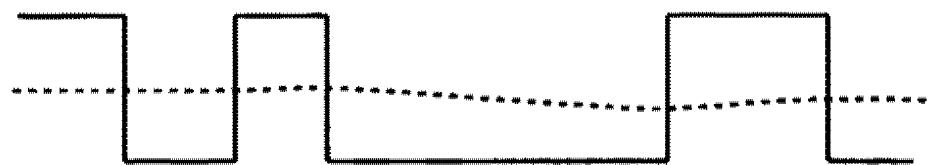


[図7]

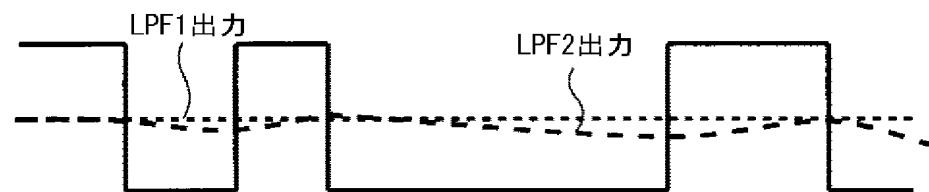
(a) LPF時定数小の場合



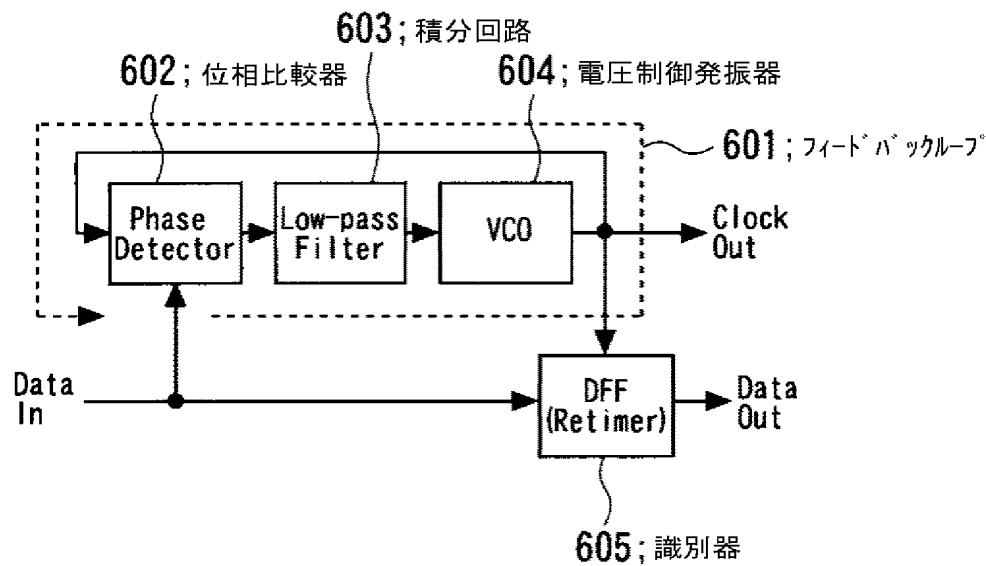
(b) LPF時定数大の場合



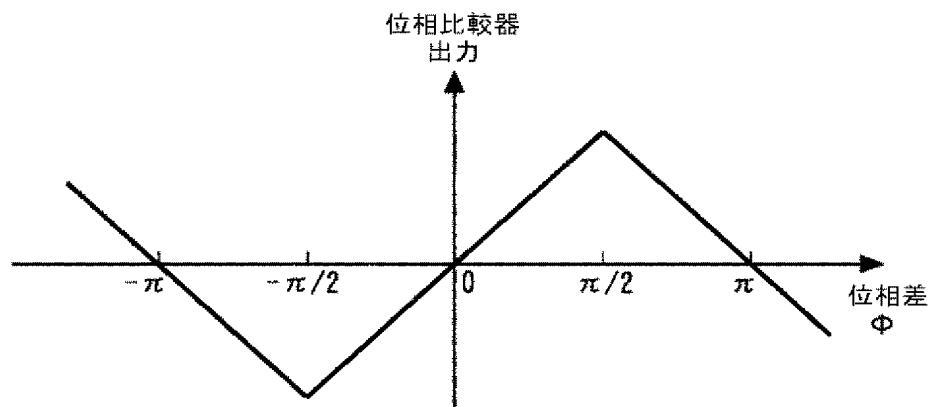
(c) LPF1時定数大かつLPF2時定数小の場合



[図8]

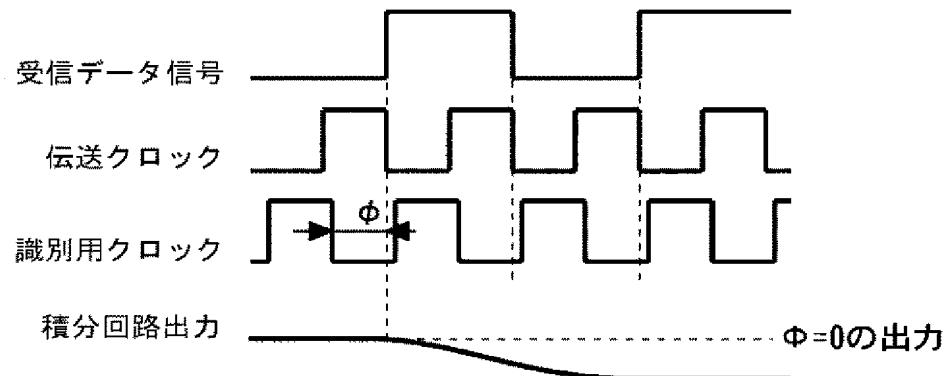


[図9]

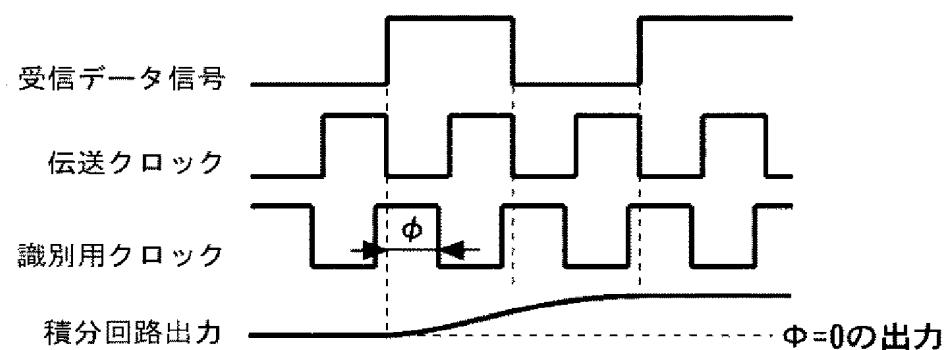


[図10]

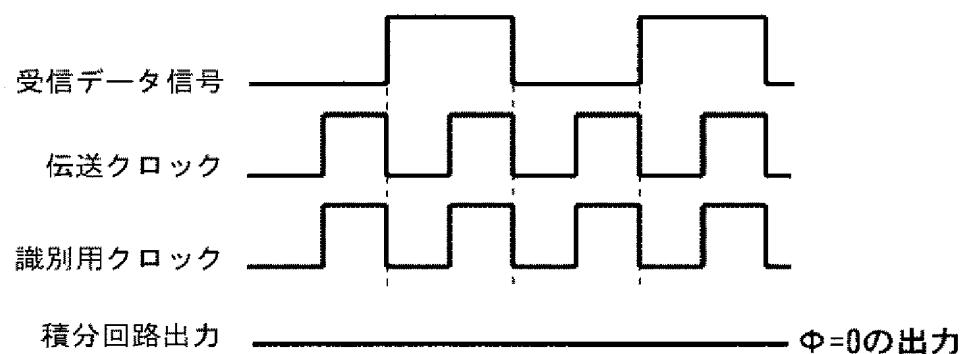
(a) 識別用クロック信号の位相が進んだ場合



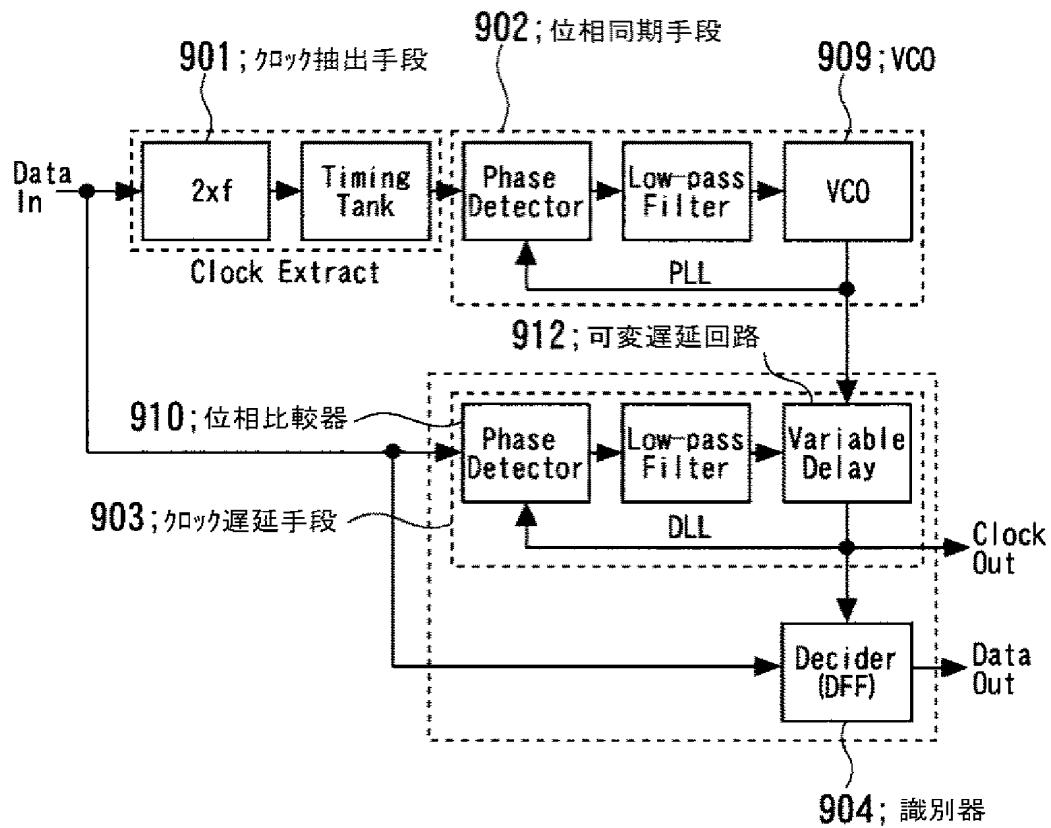
(b) 識別用クロック信号の位相が遅れた場合



(c) 識別用クロックの同期が取れている場合

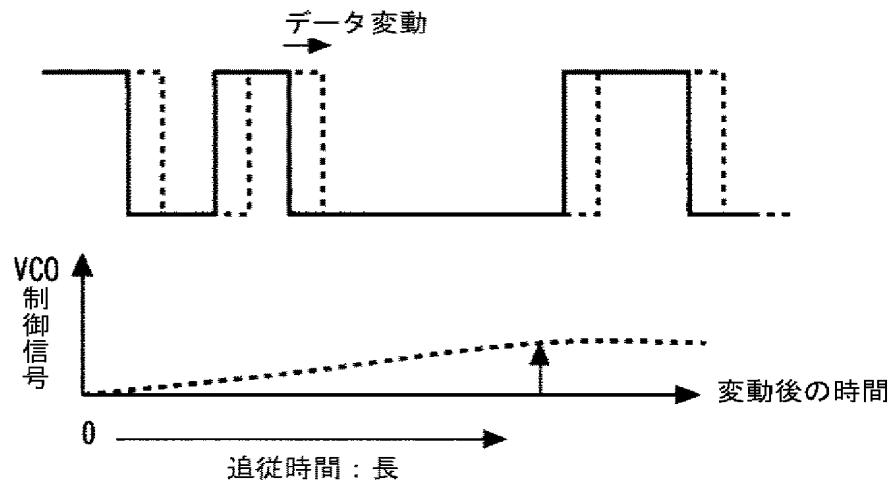


[図11]

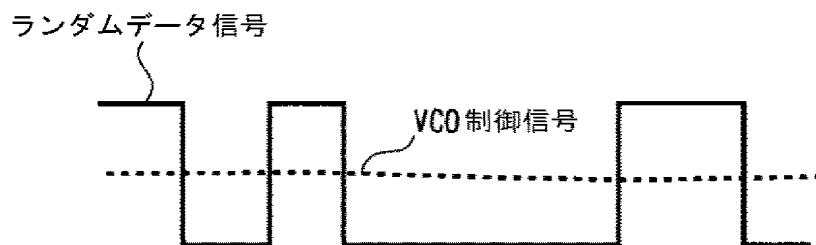


[図12]

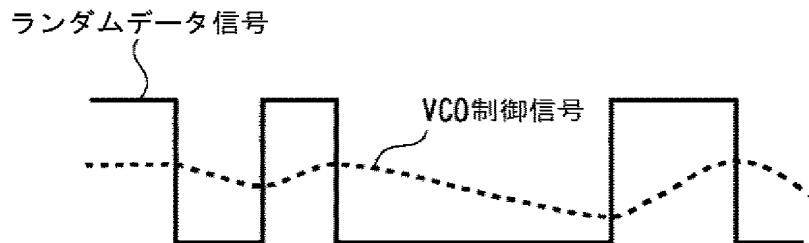
( a )



( b ) 積分回路(LPF)の時定数大の場合



( c ) 積分回路(LPF)の時定数小の場合



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017573

**A. CLASSIFICATION OF SUBJECT MATTER**  
 Int.C1<sup>7</sup> H04L7/033, H03L7/08

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

 Minimum documentation searched (classification system followed by classification symbols)  
 Int.C1<sup>7</sup> H04L7/033, H03L7/08

 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-148922 A (Fujitsu Ltd.), 06 June, 1997 (06.06.97), Full text (Family: none)	1-11
A	JP 2001-345793 A (Miyagi Nippon Denki Kabushiki Kaisha), 14 December, 2001 (14.12.01), Full text (Family: none)	1-11
A	JP 5-327683 A (Fujitsu Ltd.), 10 December, 1993 (10.12.93), Full text (Family: none)	1-11

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search  
 23 February, 2005 (23.02.05)

 Date of mailing of the international search report  
 08 March, 2005 (08.03.05)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017573

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-156630 A (Matsushita Electric Industrial Co., Ltd.), 08 June, 2001 (08.06.01), Full text (Family: none)	1-11
A	JP 2001-127626 A (Yamaha Corp.), 11 May, 2001 (11.05.01), Full text (Family: none)	4-9, 11
P, A	JP 2004-235842 A (Kabushiki Kaisha Runesasu Technology), 19 August, 2004 (19.08.04), Full text & US 2004/207437 A1	1-11

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H04L7/033, H03L7/08

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H04L7/033, H03L7/08

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-148922 A (富士通株式会社) 1997. 06. 06, 全文を参照。 (ファミリーなし)	1-11
A	JP 2001-345793 A (宮城日本電気株式会社) 20 01. 12. 14, 全文を参照。 (ファミリーなし)	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 23.02.2005	国際調査報告の発送日 08.3.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 阿 部 弘 5K 9382 電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 5-327683 A (富士通株式会社) 1993. 12. 10, 全文を参照。 (ファミリーなし)	1-11
A	JP 2001-156630 A (松下電器産業株式会社) 2001. 06. 08, 全文を参照。 (ファミリーなし)	1-11
A	JP 2001-127626 A (ヤマハ株式会社) 2001. 05. 11, 全文を参照。 (ファミリーなし)	4-9, 11
P, A	JP 2004-235842 A (株式会社ルネサステクノロジ) 2004. 08. 19, 全文を参照。 &US 2004/207437 A1	1-11